

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

EP 00/09519



EPO - Munich
67
12. Dez. 2000

REC'D 27 DEC 2000	
WIPO	PCT

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

4

Aktenzeichen: 199 46 983.0

Anmeldetag: 30. September 1999

Anmelder/Inhaber: Infineon Technologies AG, München/DE
Erstanmelder: Siemens AG, München/DE

Bezeichnung: Anordnung mit Bildsensoren

IPC: H 04 N 3/15

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 4. Dezember 2000
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Beschreibung

Anordnung mit Bildsensoren

- 5 Die Erfindung betrifft eine Anordnung mit Bildsensoren.

Bildsensoren dienen zur Erzeugung von elektrischen Signalen in Abhängigkeit von der Intensität und Farbe des eingestrah-
10 lten Lichtes. Dazu umfaßt der Bildsensor ein lichtempfindli-
ches Bauelement. Das lichtempfindliche Bauelement weist eine
fotoaktive Fläche auf. Das Licht, das auf die fotoaktive Flä-
che einstrahlt, wird durch das lichtempfindliche Bauelement
in ein elektrisches Signal umgewandelt. Zur elektrischen Auf-
15 nahme eines Bildes, wie es z. B. bei einer Kamera erforder-
lich ist, ist eine Anordnung mit vielen Bildsensoren vorgese-
hen. Die Verwendung von Bildsensoren auf CMOS-Basis im Gegen-
satz zu Bildsensoren auf CCD-Basis ermöglicht ein voneinander
unabhängiges Abtasten der einzelnen Bildsensoren. Dazu sind
20 zusätzlich zu den lichtempfindlichen Bauelementen weitere
Bauelemente sowie Verdrahtungen erforderlich. Diese weiteren
Bauelemente und die Verdrahtungen sollten möglichst nur wenig
Platz beanspruchen, um einen möglichst guten Füllfaktor, d.
h. Verhältnis zwischen fotoaktiver und gesamter Fläche, zu
erreichen.

Eine solche Anordnung mit Bildsensoren auf CMOS-Basis, die
für eine Kamera geeignet ist, ist beispielsweise in E. R.
Fossum, "CMOS Image Sensors: Electronic Camera on a Chip,"
IEDM Dig. Techn. Pap., p.17, 1995 beschrieben. Ein Bildsensor
30 umfaßt als lichtempfindliches Bauelement eine Fotodiode und
drei MOS-Transistoren. Die Verschaltung der Transistoren ent-
spricht der Verschaltung der Transistoren einer 3-Transistor-
DRAM-Zellenanordnung. Ein erster und ein zweiter Transistor
sind in Reihe und zwischen einer Bitleitung und einer Refer-
35 renzleitung geschaltet. Ein dritter Transistor ist zwischen
einer Gateelektrode des zweiten Transistors und der Referenz-
leitung geschaltet. Eine Gateelektrode des ersten Transistors

~~ist mit einer quer zur Bitleitung verlaufenden Wortleitung~~
verbunden. Eine Gateelektrode des dritten Transistors ist mit
einer Reset-Leitung verbunden. Die Fotodiode ist zwischen ei-
nem Spannungsanschluß und der Gateelektrode des zweiten Tran-
sistors so geschaltet, daß sie zum Spannungsanschluß hin in
5 Sperrichtung gepolt ist.

Der Erfindung liegt das Problem zugrunde, eine Anordnung mit
Bildsensoren auf CMOS-Basis anzugeben, die für eine Kamera
10 geeignet ist und bei der ein Bildsensor im Vergleich zum
Stand der Technik einen höheren Füllfaktor aufweist.

Das Problem wird gelöst durch eine Anordnung mit Bildsenso-
ren, bei der ein Bildsensor einen Speichertransistor und ei-
nen Auswahltransistor aufweist, die in Reihe und zwischen ei-
15 ner Bitleitung und einer Referenzleitung geschaltet sind. Ei-
ne Gateelektrode des Auswahltransistors ist mit einer Wort-
leitung verbunden, die quer zur Bitleitung verläuft. Der
Bildsensor weist eine Diode auf, die zwischen einer Gateelek-
trode des Speichertransistors und einem ersten Source-/Drain-
20 Gebiet des Speichertransistors, das mit dem Auswahltransistor
verbunden ist, so geschaltet ist, daß sie zum ersten Source-
/Drain-Gebiet des Speichertransistors hin in Sperrichtung ge-
polt ist. Der Bildsensor weist als lichtempfindliches Bauele-
ment eine Fotodiode auf, die zwischen einem Spannungsanschluß
und der Gateelektrode des Speichertransistors so geschaltet
ist, daß sie zum Spannungsanschluß hin in Sperrichtung gepolt
ist.

30 Im folgenden wird eine möglich Funktionsweise dieser Anord-
nung erläutert:

Die Referenzleitung wird konstant auf einer Betriebsspannung
 V_{DD} gehalten. Der Spannungsanschluß wird konstant auf 0 Volt
35 gehalten. Der Spannungsanschluß kann auch auf einer negativen
Spannung gehalten werden.

Reset des Bildsensors:

Über die Wortleitung wird der Auswahltransistor geöffnet, an die Bitleitung wird die Spannung V_{DD} angelegt. Über einen Stromfluß durch die Diode wird ein Spannungsausgleich zwischen der Gateelektrode des Speichertransistors und V_{DD} erzielt. Nach diesem Vorgang (Reset) liegt an der Gateelektrode des Speichertransistors V_{DD} an.

"Messung" des Bildsensors:

Bei gesperrtem Auswahltransistor fällt Licht auf die Fotodiode, wodurch es zu einer Spannungserniedrigung an der Gateelektrode des Speichertransistors kommt.

Read des Bildsensors:

Nach einer vorgegebenen Zeit (Belichtungszeit) wird die Menge an eingestrahlttem Licht bestimmt, indem der Auswahltransistor über die Wortleitung geöffnet wird und das entstehende Signal an der Bitleitung gemessen. Dazu wird die Bitleitung zuvor auf Ground entladen. Das Signal an der Bitleitung ist abhängig von der Spannung an der Gateelektrode des Speichertransistors zu Beginn des Lesevorgangs. Zum einen bestimmt der Spannungsunterschied zwischen der Gateelektrode des Speichertransistors und dem ersten Source-/Drain-Gebiet des Speichertransistors die Stärke des Stroms, der durch den Speichertransistor und damit durch die Bitleitung fließt. Zum anderen fließt über einen gewissen Zeitraum ein ausgleichender Strom zwischen der Gateelektrode des Speichertransistors und dem ersten Source-/Drain-Gebiet des Speichertransistors in Sperrrichtung der Diode, bis an der Gateelektrode des Speichertransistors im wesentlichen dieselbe Spannung wie am ersten Source-/Drain-Gebiet des Speichertransistors anliegt, so daß der Speichertransistor sperrt und kein weiterer Stromfluß auf die Bitleitung erfolgt. Dieser Zeitraum hängt ab von der Spannung an der Gateelektrode des Speichertransistors zu Beginn des Lesevorgangs. Diese Spannung, die mit dem Lichtanfall korreliert, bestimmt also in zweifacher Hinsicht das Signal an der Bitleitung.

Nach dem Lesevorgang wird wieder ein Reset eingeleitet.

5 Da einem Paar, das aus einer Wortleitung und aus einer Bit-
leitung besteht, genau einem Bildsensor zugeordnet ist, kön-
nen über die Wortleitungen und Bitleitungen die einzelnen
Bildsensoren der Anordnung abgetastet werden. Die Signale an
den Bitleitungen werden anschließend zu einem Bild zusammen-
gesetzt. Die Anordnung ist also für eine Kamera geeignet.

10

Das Problem wird ferner gelöst durch eine Anordnung mit Bild-
sensoren, bei der ein Bildsensor einen Speichertransistor und
einen Auswahltransistor aufweist, die in Reihe und zwischen
einer Bitleitung und einer Referenzleitung geschaltet sind.

15

Eine Gateelektrode des Auswahltransistors ist mit einer Wort-
leitung verbunden, die quer zur Bitleitung verläuft. Der

20

Bildsensor weist eine Diode auf, die zwischen einer Gateelek-
trode des Speichertransistors und einem ersten Source-/Drain-
Gebiet des Speichertransistors, das mit dem Auswahltransistor
verbunden ist, so geschaltet ist, daß sie zum ersten Source-
/Drain-Gebiet des Speichertransistors hin in Sperrichtung ge-
polt ist. Der Bildsensor weist eine Fotodiode auf, die zwi-
schen einem Spannungsanschluß und dem ersten Source-/Drain-
Gebiet des Speichertransistors so geschaltet ist, daß sie zum
Spannungsanschluß hin in Sperrichtung gepolt ist.

Im folgenden wird eine mögliche Funktionsweise einer solchen
Anordnung erläutert:

30

Die Referenzleitung wird z. B. konstant auf einer Betriebs-
spannung V_{DD} gehalten. Der Spannungsanschluß wird z. B. kon-
stant auf 0 Volt gehalten.

Reset des Bildsensors:

35

Über die Wortleitung wird der Auswahltransistor geöffnet. An
die Bitleitung wird V_{DD} angelegt. Über die Diode fließt ein
ausgleichender Strom zwischen der Gateelektrode des Speicher-

~~transistors und dem ersten Source-/Drain-Gebiet des Speicher-~~
transistors, bis an der Gateelektrode des Speichertransistors
im wesentlichen V_{DD} anliegt.

5 **"Messung" des Bildsensors:**

Bei gesperrtem Auswahltransistor fällt Licht auf die Foto-
diode ein, was zur Erniedrigung der Spannung am ersten Sour-
ce-/Drain-Gebiet des Speichertransistors führt. Über die
Diode fließt in Sperrrichtung ein ausgleichender Strom zwi-
10 schen der Gateelektrode des Speichertransistors und dem er-
sten Source-/Drain-Gebiet des Speichertransistors, bis an der
Gateelektrode des Speichertransistors im wesentlichen diesel-
be Spannung anliegt wie am ersten Source-/Drain-Gebiet des
Speichertransistors. Der Lichteinfall an der Fotodiode be-
15 stimmt folglich die Spannung an der Gateelektrode des Spei-
chertransistors.

Read des Bildsensors:

Über die Wortleitung wird der Auswahltransistor geöffnet. Das
20 entstehende Signal an der Bitleitung wird gemessen. Der Lese-
vorgang entspricht dem Lesevorgang des bereits oben beschrie-
benen Bildsensors.

Im Gegensatz zum Stand der Technik ist der Bildsensor mit ei-
ner Leitung weniger verbunden, so daß er einen besseren Füll-
faktor aufweist. Darüber hinaus kann die Diode einfacher mit
einem geringeren Platzbedarf als ein Transistor erzeugt wer-
den, da die Diode lediglich zwei Ein- bzw. Ausgänge aufweist,
während der Transistor drei Ein- bzw. Ausgänge aufweist (Ga-
30 teelektrode und zwei Source-/Drain-Gebiete). Auch aus diesem
Grund weist der Bildsensor einen höheren Füllfaktor auf als
Bildsensoren gemäß dem Stand der Technik.

Die Diode braucht keine hohen Anforderungen zu erfüllen. Das
35 Verhältnis von Strom in Durchlaßrichtung zu Strom in Sper-
richtung kann gering sein. Die Diode kann also eine geringe
Asymmetrie aufweisen.

Die Auslesezeit kann sehr kurz sein und z.B. zwischen 10 ns und 20 ns gewählt werden.

5 Die Fotodiode besteht beispielsweise aus einem n-dotierten Gebiet und einem daran angrenzenden p-dotierten Gebiet, die einen p-n-Übergang bilden. Entweder ist das n-dotierte Gebiet auf dem p-dotierten Gebiet angeordnet oder umgekehrt. Eines der dotierten Gebiete ist mit dem Spannungsanschluß verbunden.
10

Die Farbempfindlichkeit des Bildsensors kann über die Tiefe des p-n-Übergangs der Fotodiode eingestellt werden. Die Dicke des oberen dotierten Gebiets, d.h. die Tiefe des p-n-Übergangs, beträgt beispielsweise zwischen 100 und 600 nm.
15 Die Dotierstoffkonzentration des oberen dotierten Gebiets beträgt beispielsweise zwischen $5 \cdot 10^{18} \text{cm}^{-3}$ und 10^{20}cm^{-3} . Die Dotierstoffkonzentration des unteren dotierten Gebiets beträgt beispielsweise zwischen 10^{16}cm^{-3} und 10^{18}cm^{-3} .
20

Die Fotodiode kann über das Substrat angeschlossen werden. Beispielsweise ist das p-dotierte Gebiet Teil einer Wanne des Substrats. Der Spannungsanschluß grenzt beispielsweise außerhalb der Anordnung der Bildsensoren an das Substrat an.

Zur Erhöhung des Füllfaktors ist es vorteilhaft, wenn das n-dotierte Gebiet der Fotodiode, das erste Source-/Drain-Gebiet des Speichertransistors und/oder ein erstes Source-/Drain-Gebiet des Auswahltransistors ein zusammenhängendes dotiertes Gebiet bilden.
30

Zur Erhöhung des Füllfaktors ist es vorteilhaft, wenn der Speichertransistor als vertikaler Transistor ausgestaltet ist. Der Speichertransistor weist aufgrund seiner vertikalen Anordnung einen kleineren Platzbedarf auf, als wenn er planar ausgestaltet ist.
35

~~Das erste Source-/Drain-Gebiet des Speichertransistors ist~~

vorzugsweise über einem zweiten Source-/Drain-Gebiet des Speichertransistors, das mit der Referenzleitung verbunden ist, angeordnet. Dadurch wird der Füllfaktor erhöht, da die Referenzleitung im Substrat vergraben ist und somit die Fotodiode nicht abschatten kann. Die Fotodiode kann folglich über der Referenzleitung angeordnet sein, so daß die Referenzleitung den Füllfaktor nicht verkleinert.

Die Diode kann als Tunnel diode ausgestaltet sein. Ein besonders hoher Füllfaktor läßt sich erzielen, wenn die Diode in den Speichertransistor integriert wird, da sie dann keinen zum Speichertransistor zusätzlichen Platzbedarf aufweist. Die Diode besteht in diesem Fall aus dem ersten Source-/Drain-Gebiet des Speichertransistors, einer daran angrenzenden isolierenden Schicht und einer daran angrenzenden leitenden Struktur, die mit der Gateelektrode des Speichertransistors verbunden ist. Die leitende Struktur besteht vorzugsweise, wie die Gateelektrode des Speichertransistors, aus dotiertem Polysilizium. Damit die Sperrichtung der Diode in die richtige Richtung zeigt, ist die Dotierstoffkonzentration der leitenden Struktur kleiner als die der Gateelektrode und kleiner als die des ersten Source-/Drain-Gebietes des Speichertransistors.

Es liegt im Rahmen der Erfindung, wenn ein Substrat eine Vertiefung aufweist, die bis in die Referenzleitung hineinreicht. Mindestens eine seitliche Fläche eines oberen Bereichs der Vertiefung ist mit der isolierenden Schicht versehen. Die isolierende Schicht liegt folglich im wesentlichen senkrecht zu einer Oberfläche des Substrat, von der die Vertiefung ausgeht. Flächen eines unter dem oberen Bereich liegenden unteren Bereich der Vertiefung sind mit einem Gate dielektrikum versehen. Die Gateelektrode des Speichertransistors ist im unteren Bereich angeordnet. Im oberen Bereich der Vertiefung ist die leitende Struktur der Diode angeordnet. Die leitende Struktur ist also auf der Gateelektrode angeord-

net. Das erste Source-/Drain-Gebiet des Speichertransistors ist im Substrat angeordnet und grenzt an die seitliche Fläche des oberen Bereichs an. Als zweites Source-/Drain-Gebiet des Speichertransistors wirkt ein Teil der Referenzleitung.

5

Der Füllfaktor kann weiter erhöht werden, wenn der Auswahltransistor als vertikaler Transistor ausgestaltet ist. Alternativ ist der Auswahltransistor als planarer Transistor ausgestaltet.

10

Die Bildsensoren sind beispielsweise in Reihen und Spalten angeordnet. Die Bitleitungen und Wortleitungen verlaufen entlang der Reihen und der Spalten.

15 Im folgenden werden Ausführungsbeispiele der Erfindung anhand der Figuren näher erläutert.

Figur 1 zeigt die Schaltung eines ersten Bildsensors.

20 Figur 2a zeigt eine Aufsicht auf ein erstes Substrat mit dem ersten Bildsensor, in dem eine Referenzleitung, eine Wortleitung, eine Gateelektrode und ein erstes Source-/Drain-Gebiet eines Speichertransistors, eine leitende Struktur, ein n-dotiertes Gebiet einer Fotodiode, ein erstes Source-/Drain-Gebiet und ein zweites Source/Drain-Gebiet des Auswahltransistors und eine Bitleitung dargestellt sind.

30 Figur 2b zeigt einen Schnitt durch die Aufsicht aus Figur 2a, in der ein Gatedielektrikum, die Gateelektrode des Speichertransistors, die leitende Struktur, die Wortleitung, die Referenzleitung, die Bitleitung, ein Zwischenoxid, Kontakte, das erste Source-/Drain-Gebiet des Speichertransistors, das erste Source-
35 /Drain-Gebiet eines Auswahltransistors, das zweite Source-/Drain-Gebiet des Auswahltransistors, eine

isolierende Schicht und ein zweites Source-/Drain-Gebiet des Speichertransistors dargestellt sind.

Figur 3 zeigt die Schaltung eines zweiten Bildsensors.

5

Figur 4a zeigt die Aufsicht auf ein zweites Substrat mit einem zweiten Bildsensor, in der eine Referenzleitung, eine Wortleitung, eine Bitleitung, eine Gateelektrode, ein erstes Source/Drain-Gebiet und ein zweites Source/Drain-Gebiet eines Speichertransistors, ein erstes Source/Drain-Gebiet und ein zweites Source/Drain-Gebiet eines Auswahltransistors, eine leitende Struktur und ein n-dotiertes Gebiet einer Fotodiode dargestellt sind.

10

15

Figur 4b zeigt einen Querschnitt durch das zweite Substrat, in dem die Bitleitung, ein Zwischenoxid, ein Kontakt, die Wortleitung, die Referenzleitung, die Gateelektrode, das erste Source/Drain-Gebiet und das zweite Source/Drain-Gebiet des Speichertransistors, die leitende Struktur, das n-dotierte Gebiet der Fotodiode, eine isolierende Schicht, das erste Source-/Drain-Gebiet und das zweite Source/Drain-Gebiet des Auswahltransistors und ein Gatedielektrikum dargestellt sind.

20

25

Figur 5a zeigt eine Aufsicht auf ein drittes Substrat mit einem dritten Bildsensor, in der eine Wortleitung, eine Bitleitung, ein n-dotiertes Gebiet einer Fotodiode, ein erstes und ein zweites Source/Drain-Gebiet eines Auswahltransistors, ein erstes Source/Drain-Gebiet eines Speichertransistors und eine Leitung dargestellt sind.

30

Figur 5b zeigt einen ersten Querschnitt durch das dritte Substrat, in dem die Leitung, Kontakte, die Wortleitung, die Bitleitung, ein Zwischenoxid, eine Vertie-

35

fung, eine leitende Struktur, eine isolierende Schicht, eine Gateelektrode und ein erstes Source/Drain-Gebiet eines Speichertransistors, ein erstes Source/Drain-Gebiet und ein zweites Source/Drain-Gebiet des Auswahltransistors, ein Zwischenoxid, eine Referenzleitung und ein Gatedielektrikum dargestellt sind.

Figur 5c zeigt einen zum ersten Querschnitt senkrechten zweiten Querschnitt durch das dritte Substrat, in dem die Leitung, Kontakte, die Bitleitung, das n-dotierte Gebiet der Fotodiode, eine Isolation, die Vertiefung, eine leitende Struktur, eine isolierende Schicht, die Gateelektrode des Speichertransistors, das Gatedielektrikum, die Referenzleitung und das Zwischenoxid dargestellt sind.

Figur 6a zeigt eine Aufsicht auf ein viertes Substrat mit einem vierten Bildsensor, in der eine Wortleitung, eine Bitleitung, ein n-dotiertes Gebiet einer Fotodiode, ein erstes Source/Drain-Gebiet und ein zweites Source/Drain-Gebiet eines Auswahltransistors, ein erstes Source/Drain-Gebiet eines Speichertransistors und eine leitende Struktur dargestellt sind.

Figur 6b zeigt einen Querschnitt durch das vierte Substrat, in dem das n-dotierte Gebiet der Fotodiode, die leitende Struktur, eine Isolation, eine Gateelektrode des Speichertransistors, eine Referenzleitung, die Bitleitung, ein Zwischenoxid und ein Gatedielektrikum dargestellt sind.

Figur 7a zeigt eine Aufsicht auf ein fünftes Substrat mit einem fünften Bildsensor, in der eine Wortleitung, eine Bitleitung, ein erstes und ein zweites Source/Drain-Gebiet eines Auswahltransistors, ein erstes Source/Drain-Gebiet eines Speichertransistors, ein

n-dotiertes Gebiet einer Fotodiode und eine leitende Struktur dargestellt sind.

Figur 7b zeigt den Querschnitt durch das fünfte Substrat, in dem eine Vertiefung, die leitende Struktur, eine Gateelektrode und das erste Source/Drain-Gebiet des Speichertransistors, ein Gatedielektrikum, eine isolierende Schicht, das n-dotierte Gebiet der Fotodiode, die Wortleitung, das erste und das zweite Source-/Drain-Gebiet des Auswahltransistors, die Bitleitung, ein Zwischenoxid, ein Kontakt und eine Referenzleitung dargestellt sind.

Figur 8 zeigt eine Aufsicht auf ein sechstes Substrat mit einem sechsten Bildsensor, in der ein n-dotiertes Gebiet einer Fotodiode, ein erstes und ein zweites Source/Drain-Gebiet eines Auswahltransistors, ein erstes Source/Drain-Gebiet eines Speichertransistors, eine leitende Struktur, eine Wortleitung und eine Bitleitung dargestellt sind.

Die Figuren sind nicht maßstabsgetreu.

In einem ersten Ausführungsbeispiel umfaßt ein erster Bildsensor einer Anordnung mit Bildsensoren einen Speichertransistor TV1, einen Auswahltransistor TR1, eine Diode ID1 und eine Fotodiode FD1, die gemäß Anspruch 1 miteinander verschaltet sind (s. Figur 1).

Der Speichertransistor TV1 und der Auswahltransistor TR1 sind als planare MOS-Transistoren im Bereich einer Oberfläche eines ersten Substrats 1 ausgebildet. Das erste Substrat 1 weist eine Dotierstoffkonzentration von ca. 10^{17} cm^{-3} auf und ist im Bereich der Transistoren p-dotiert. Dieser Bereich wird auch als Wanne bezeichnet. Das erste Source-/Drain-Gebiet des Speichertransistors TV1 und ein erstes Source-

~~/Drain-Gebiet des Auswahltransistors TR1 bilden ein zusammen-~~
hängendes n-dotiertes Gebiet S/D1 im ersten Substrat 1.

Das dotierte Gebiet S/D1, ein zweites n-dotiertes Source-
5 /Drain-Gebiet S1 des Speichertransistors TV1 und ein zweites
n-dotiertes Source-/Drain-Gebiet A1 des Auswahltransistors
TR1 sind in einer Reihe nebeneinander angeordnet, voneinander
beabstandet und weisen eine Dotierstoffkonzentration von ca.
10²⁰ cm⁻³ auf. Das dotierte Gebiet S/D1, das zweite n-
10 dotierte Source-/Drain-Gebiet S1 des Speichertransistors TV1
und das zweite n-dotierte Source-/Drain-Gebiet A1 des Aus-
wahltransistors TR1 weisen einen quadratischen horizontalen,
d.h. zur Oberfläche des ersten Substrats 1 parallelen Quer-
schnitt mit einer Seitenlänge von ca. 250nm auf.

15 Zwischen dem zweiten Source-/Drain-Gebiet A1 des Auswahltran-
sistors TR1 und dem dotierten Gebiet S/D1 ist auf dem ersten
Substrat 1 eine Gateelektrode des Auswahltransistors TR1 an-
geordnet, die Teil einer Wortleitung W1 ist (s. Figuren 2a
20 und 2b). Die Wortleitung W1 ist ca. 250nm breit.

Zwischen dem dotierten Gebiet S/D1 und dem zweiten Source-
/Drain-Gebiet S1 des Speichertransistors TV1 ist auf dem er-
sten Substrat 1 eine Gateelektrode G1 des Speichertransistors
TV1 angeordnet. Die Gateelektrode G1 des Speichertransistors
TV1 besteht aus n-dotiertem Polysilizium und weist eine Do-
tierstoffkonzentration von ca. 10²⁰ cm⁻³ auf. Die Gateelek-
trode G1 des Speichertransistors TV1 weist einen quadrati-
schen horizontalen parallelen Querschnitt mit einer Seiten-
30 länge von ca. 250nm auf.

Ein Gatedielektrikum GD1 trennt die Wortleitung W1 und die
Gateelektrode G1 des Speichertransistors TV1 vom ersten Sub-
strat 1.

35 Auf dem dotierten Gebiet S/D1 ist eine isolierende Schicht I1
angeordnet, die an die Gateelektrode G1 des Speichertransi-

~~stors TV1 angrenzt (s. Figur 2b). Auf der isolierenden~~
Schicht I1 ist eine leitende Struktur L1 angeordnet, die die Gateelektrode G1 des Speichertransistors TV1 überlappt. Die leitende Struktur L1 kann z. B. durch Abscheiden und Strukturieren einer konform abgeschiedenen Schicht aus n-dotiertem Polysilizium erzeugt werden. Die leitende Struktur L1 ist n-dotiert und weist eine Dotierstoffkonzentration von ca. 10^{19} cm^{-3} auf. Eine zur Bitleitung B1 parallele Abmessung der leitenden Struktur L1 beträgt ca. 250nm. Eine zur Wortleitung W1 parallele Abmessung der leitenden Struktur L1 beträgt ca. 250nm.

In einem Abstand von ca. 250nm vom dotierten Gebiet S/D1 ist angrenzend an die Oberfläche des ersten Substrats 1 ein ca. 200 nm dickes n-dotiertes Gebiet N1 der Fotodiode FD1 angeordnet. Eine zur Wortleitung W1 senkrechte Abmessung, die parallel zur Oberfläche des Substrats 1 ist, des n-dotierten Gebiets N1 der Fotodiode FD1 beträgt ca. 800nm. Eine zur Wortleitung W1 parallele Abmessung, die parallel zur Oberfläche des Substrats 1 ist, des n-dotierten Gebiets N1 der Fotodiode FD1 beträgt ca. 600nm. Unter dem n-dotierten Gebiet N1 wirkt als Teil des ersten Substrats 1 ein p-dotiertes Gebiet (nicht dargestellt) der Fotodiode FD1.

Die leitende Struktur L1 erstreckt sich vom dotierten Gebiet S/D1 bis zum n-dotierten Gebiet N1 der Fotodiode FD1. Zwischen dem dotierten Gebiet S/D1 und dem n-dotierten Gebiet N1 der Fotodiode FD1 ist die leitende Struktur L1 durch eine Isolation (nicht dargestellt) vom ersten Substrat 1 getrennt. Die leitende Struktur L1 grenzt von oben an das n-dotierte Gebiet N1 der Fotodiode FD1 an.

Auf dem ersten Substrat 1 ist ein ca. 800nm dicker erster Teil eines Zwischenoxids Z1 aus SiO_2 angeordnet. Auf dem ersten Teil des Zwischenoxids Z1 ist die Referenzleitung R1 angeordnet, die über einen Kontakt KR1 mit dem zweiten Source-

~~/Drain-Gebiet S1 des Speichertransistors TV1 verbunden ist.~~

Die Referenzleitung R1 verläuft parallel zur Wortleitung W1.

Auf dem ersten Teil des Zwischenoxids Z1 ist ein ca. 800nm
5 dicker zweiter Teil des Zwischenoxids Z1 angeordnet. Auf dem
zweiten Teil des Zwischenoxids Z1 ist die Bitleitung B1 ange-
ordnet, die senkrecht zur Wortleitung W1 verläuft und über
einen Kontakt KB1 mit dem zweiten Source-/Drain-Gebiet A1 des
Auswahltransistors TR1 verbunden ist.

10

Die Wortleitung W1 und die Referenzleitung R1 beschatten Tei-
le des n-dotierten Gebietes N1 der Fotodiode FD1, so daß die
fotoaktive Fläche der Fotodiode FD1 kleiner ist als das n-
dotierte Gebiet N1 der Fotodiode FD1.

15

Die Diode ID1 wird durch das dotierte Gebiet S/D1, die iso-
lierende Schicht I1 und die leitende Struktur L1 gebildet.

20

An der Referenzleitung R1 liegt konstant eine Betriebsspan-
nung V_{DD} an, die ca. 3.3V beträgt. An der Wanne des ersten
Substrats 1 und folglich an dem p-dotierten Gebiet der Foto-
diode FD1 liegt 0V an. Die Wanne wird über einen Spannungsan-
schluß (nicht dargestellt) angeschlossen.

In einem zweiten Ausführungsbeispiel umfaßt ein zweiter Bild-
sensor einer Anordnung mit Bildsensoren einen Auswahltransi-
stor TR2, einen Speichertransistor TV2, eine Diode ID2 und
eine Fotodiode FD2, die gemäß Anspruch 2 verschaltet sind (s.
Figur 3).

30

Das erste Source-/Drain-Gebiet des Speichertransistors TV2,
ein erstes Source-/Drain-Gebiet des Auswahltransistors TR2
und ein n-dotiertes Gebiet der Fotodiode FD2 sind als zusam-
menhängendes dotiertes Gebiet S/D2 im zweiten Substrat 2 an-
35 geordnet (s. Figuren 4a und 4b). Das dotierte Gebiet S/D2
grenzt an eine Oberfläche des zweiten Substrats 2 an.

~~Der Speichertransistor TV2 und der Auswahltransistor TR2 sind~~
wie im ersten Ausführungsbeispiel ausgestaltet. Das dotierte
Gebiet S/D2, ein zweites Source-/Drain-Gebiet S2 des Spei-
chertransistors TV2 und ein zweites Source-/Drain-Gebiet A2
5 des Auswahltransistors TR2 sind in einer Reihe nebeneinander
angeordnet und voneinander beabstandet (s. Figur 4b). Zwi-
schen dem dotierten Gebiet S/D2 und dem zweiten Source-
/Drain-Gebiet A2 des Auswahltransistors ist auf dem zweiten
Substrat 2 die Gateelektrode des Auswahltransistors angeord-
10 net, die Teil einer Wortleitung W2 ist und durch ein Gatedie-
lektrikum GD2 vom zweiten Substrat 2 getrennt ist (s. Figuren
4a und 4b).

Das zweite Source/Drain-Gebiet S2 des Speichertransistors TV2
15 ist Teil der Referenzleitung R2, die als streifenförmiges do-
tiertes Gebiet parallel zur Wortleitung W2 verläuft.

Eine isolierende Schicht I2 und die Gateelektrode G2 des
Speichertransistors TV2 sind wie im ersten Ausführungsbei-
20 spiel angeordnet (s. Figuren 4a und 4b). Das dotierte Gebiets
S/D2 ist hufeisenförmig um die Hälfte der Gateelektrode G2
des Speichertransistors TV2 angeordnet (siehe Figur 4a). Um
Kurzschlüsse zu vermeiden reicht das dotierte Gebiet S/D2
nicht bis zur Referenzleitung R2.

Eine leitende Struktur L2 aus n-dotiertem Polysilizium ist
auf der isolierenden Schicht I2 und auf der Gateelektrode G2
des Speichertransistors angeordnet (s. Figur 4b). Die leiten-
de Struktur L2 grenzt im Gegensatz zum ersten Ausführungsbei-
30 spiel im Bereich der Fotodiode FD2 nicht an das zweite Sub-
strat 2 an. Die leitende Struktur L2 ist in der Aufsicht qua-
dratisch mit einer Seitenlänge von ca. 250nm.

Auf dem zweiten Substrat 2 ist ein ca. 800nm dickes Zwi-
35 schenoxid Z2 aus SiO₂ angeordnet. Auf dem Zwischenoxid Z2 ist
die Bitleitung B2 angeordnet, die senkrecht zur Wortleitung

~~W2 verläuft und über einen Kontakt KB2 mit dem zweiten Source-/Drain-Gebiet A2 des Auswahltransistors TR2 verbunden ist.~~

In einem dritten Ausführungsbeispiel ist ein drittes Substrat 3 mit einem dritten Bildsensor einer Anordnung mit Bildsensoren vorgesehen, der einen Auswahltransistor, einen Speichertransistor, eine Diode und eine Fotodiode aufweist, die wie im ersten Ausführungsbeispiel verschaltet sind (s. Figur 1).

Im Gegensatz zum ersten Ausführungsbeispiel ist der Speichertransistor als ein vertikaler MOS-Transistor ausgestaltet.

Dazu ist im dritten Substrat 3 eine ca. 500 nm tiefe Vertiefung V3 vorgesehen. Ca. 400 nm unterhalb einer Oberfläche des dritten Substrats 3, von der die Vertiefung V3 ausgeht, ist

die Referenzleitung R3 in Form einer n-dotierten Schicht des dritten Substrats 3 angeordnet. Die Dotierstoffkonzentration der Referenzleitung R3 beträgt ca. 10^{19} cm^{-3} (s. Figuren 5b und 5c). Die Vertiefung V3 reicht also bis in die Referenzleitung R3 hinein. Die Referenzleitung R3 dient als gemeinsame Referenzleitung aller Bildsensoren der Anordnung.

An einer seitlichen Fläche eines oberen Bereichs der Vertiefung V3 ist eine ca. 2 nm dicke isolierende Schicht I3 aus SiO_2 angeordnet (siehe Figur 5b). Im Gegensatz zu den isolierenden Schichten I1, I2 aus den ersten beiden Ausführungsbeispielen, liegt die isolierende Schicht I3 in diesem Ausführungsbeispiel senkrecht zur Oberfläche des dritten Substrats 3. Die isolierende Schicht I3 reicht ca. 100 nm weit in das dritte Substrat 3 hinein.

Übrige Flächen der Vertiefung V3 sind mit einem ca. 6 nm dicken Gatedielektrikum GD3 aus SiO_2 versehen (s. Figuren 5b und 5c).

In einem unter dem oberen Bereich liegenden unteren Bereich der Vertiefung V3 ist die Gateelektrode G3 des Speichertransistors angeordnet. Die Gateelektrode G3 des Speichertransi-

~~stors füllt die Vertiefung V3 bis zu einer Höhe von ca. 100 nm auf.~~

Über der Gateelektrode G3 des Speichertransistors ist eine leitende Struktur L3 aus n-dotiertem Polysilizium angeordnet. Die leitende Struktur L3 weist eine Dotierstoffkonzentration von ca. 10^{19} cm^{-3} auf. Die Gateelektrode G3 des Speichertransistors und die leitende Struktur L3 füllen zusammen die Vertiefung V3 auf.

Das erste Source-/Drain-Gebiet des Speichertransistors und ein erstes Source-/Drain-Gebiet des Auswahltransistors bilden ein zusammenhängendes n-dotiertes Gebiet S/D3 im dritten Substrat 3, das an die seitliche Fläche des oberen Bereichs der Vertiefung V3, d. h. an die isolierende Schicht I3 angrenzt (s. Figur 5b). Das dotierte Gebiet S/D3 weist eine Dotierstoffkonzentration von ca. 10^{20} cm^{-3} auf.

Ein Teil der Referenzleitung R3, der an die Vertiefung V3 angrenzt, wirkt als zweites Source/Drain-Gebiet des Speichertransistors.

Angrenzend an die Oberfläche des dritten Substrats 3 ist ein ca. 300nm dickes n-dotiertes Gebiet N3 der Fotodiode im Substrat S3 vorgesehen, das vom dotierten Gebiet S/D3 beabstandet ist. Das n-dotierte Gebiet N3 weist eine Dotierstoffkonzentration von ca. 10^{20} cm^{-3} auf und ist rechteckig mit Seitenlängen von 800 nm und 600 nm (s. Figuren 5a und 5c). Das n-dotierte Gebiet N3 ist eingebettet in einem p-dotierten Gebiet der Fotodiode, die Teil einer p-dotierten Wanne des dritten Substrats 3 ist (s. Figur 5c).

Die Diode wird gebildet durch das dotierte Gebiet S/D3, die isolierende Schicht I3 und die leitende Struktur L3.

Das zweite Source/Drain-Gebiet A3 des Auswahltransistors ist wie der Auswahltransistor aus dem Ausführungsbeispiel 2 bzw.

~~aus dem Ausführungsbeispiel 1 ausgestaltet. Dasselbe trifft~~
auf die Wortleitung W3, die durch das Gatedielektrikum GD3
vom dritten Substrat 3 getrennt ist, zu.

- 5 Zwischen dem n-dotierten Gebiet N3 und der Vertiefung V3 ist
im dritten Substrat 3 eine Isolation IS3 vorgesehen.

Auf dem dritten Substrat 3 ist ein ca. 800 nm dicker erster
Teil eines Zwischenoxids Z3 aus SiO₂ angeordnet (s. Figuren
10 5b und 5c). Im ersten Teil des Zwischenoxids Z3 sind Kontakte
K3 angeordnet, die die leitende Struktur L3 und das n-
dotierte Gebiet N3 der Fotodiode kontaktieren (s. Figur 5b).

Die Kontakte K3 werden über eine auf dem ersten Teil des Zwi-
15 schenoxids Z3 angeordnete Leitung Q3 miteinander verbunden
(s. Figuren 5a und 5c).

Auf dem ersten Teil des Zwischenoxids Z3 ist ein ca. 800nm
dicker zweiter Teil des Zwischenoxids Z3 angeordnet. Auf dem
20 zweiten Teil des Zwischenoxids Z3 ist die Bitleitung B3 ange-
ordnet, die senkrecht zur Wortleitung W3 verläuft und über
einen Kontakt KB3 mit dem zweiten Source-/Drain-Gebiet A3 des
Auswahltransistors verbunden ist.

In einem vierten Ausführungsbeispiel ist ein viertes Substrat
4 mit einem vierten Bildsensor einer Anordnung mit Bildsenso-
ren vorgesehen, der einen Auswahltransistor, einen Speicher-
transistor, eine Diode und eine Fotodiode aufweist, die wie
im dritten Ausführungsbeispiel verschaltet sind (s. Figur 1).

30

Der vierte Bildsensor ist im wesentlichen wie der dritte
Bildsensor ausgestaltet mit dem Unterschied, daß keine Lei-
tung mit zugehörigen Kontakten vorgesehen ist, die die lei-
tende Struktur L4 mit dem n-dotierten Gebiet N4 der Fotodiode
35 verbindet. Statt dessen erstreckt sich die leitende Struktur
L2 seitlich bis zum n-dotierten Gebiet N4 der Fotodiode hin.
Die leitende Struktur L4 ist auf der Isolation IS4 angeord-

~~net, die bewirkt, daß die leitende Struktur L4 nur im Bereich~~
des n-dotierten Gebiets N4 der Fotodiode an das vierte Substrat 4 angrenzt (s. Figuren 6a und 6b).

- 5 Es ist ein ca. 800nm dickes Zwischenoxid Z4 aus SiO₂ vorgesehen, auf dem die Bitleitung B4 angeordnet ist und über einen Kontakt (nicht dargestellt) mit dem zweiten Source-/Drain-Gebiet des Auswahltransistors verbunden ist.
- 10 Wie im dritten Ausführungsbeispiel sind ein Gatedielektrikum GD4, eine Gateelektrode G4 des Speichertransistors, ein gemeinsames dotiertes Gebiet S/D4, ein zweites Source/Drain-Gebiet A4 des Auswahltransistors, eine Referenzleitung R4, eine Wortleitung W4, eine Bitleitung B4 und eine Isolation
- 15 IS4 vorgesehen.

In einem fünften Ausführungsbeispiel ist ein fünftes Substrat 5 mit einem fünften Bildsensor einer Anordnung mit Bildsensoren vorgesehen, der einen Auswahltransistor, einen Speichertransistor, eine Fotodiode und eine Diode aufweist, die wie

20 im zweiten Ausführungsbeispiel verschaltet sind (s. Figur 3).

Der Speichertransistor, der Auswahltransistor, eine isolierende Schicht I5, die Wortleitung W5, die Referenzleitung R5 und die Bitleitung B5 sind wie im vierten Ausführungsbeispiel ausgestaltet (s. Figuren 7a und 7b). Es sind also ein zweites Source/Drain-Gebiet A5 des Auswahltransistors, ein Gatedielektrikum GD5, ein Kontakt KB5 zur Bitleitung B5, ein Zwischenoxid Z5 und eine Gateelektrode G5 des Speichertransistors in einer Vertiefung V5 wie im vierten Ausführungsbeispiel vorgesehen.

30

Im Gegensatz zum vierten Ausführungsbeispiel bilden das n-dotierte Gebiet der Fotodiode, das erste Source-/Drain-Gebiet des Speichertransistors und ein erstes Source-/Drain-Gebiet

35 des Auswahltransistors ein zusammenhängendes n-dotiertes Gebiet S/D5. Das dotierte Gebiet S/D5 weist einen rechteckigen

~~Querschnitt auf mit Seitenlängen von ca. 700 nm und 800 nm.~~

Der laterale Abstand zwischen der Vertiefung V5 und der Wortleitung W5 beträgt 700 nm. Die leitende Struktur L5 der Diode ist vollständig innerhalb der Vertiefung V5 angeordnet und
5 grenzt an das fünfte Substrat 5 nicht an. (s. Figuren 7a und 7b).

In einem sechsten Ausführungsbeispiel ist ein sechstes Substrat 6 mit einem sechsten Bildsensor einer Anordnung mit
10 Bildsensoren vorgesehen, der entsprechend dem fünften Bildsensor ausgestaltet ist, mit dem Unterschied, daß ein lateraler Abstand zwischen der Vertiefung und der Wortleitung W6
nur 250 nm beträgt und das dotierte Gebiet S/D6 sich jenseits eines Bereichs zwischen der Vertiefung und der Wortleitung W6
15 erstreckt (s. Figur 8).

Wie im fünften Ausführungsbeispiel bilden ein erstes Source/Drain-Gebiet des Auswahltransistors, ein erstes Source/Drain-Gebiet des Speichertransistors und ein n-dotiertes
20 Gebiet der Fotodiode ein gemeinsames dotiertes Gebiet S/D6. Wie im fünften Ausführungsbeispiel sind die Gateelektrode des Speichertransistors und die leitende Struktur L6 in einer Vertiefung angeordnet. Wie im fünften Ausführungsbeispiel sind ein zweites Source/Drain-Gebiet des Auswahltransistor und die Wortleitung B6 vorgesehen.

Es sind viele Variationen der Ausführungsbeispiele denkbar, die ebenfalls im Rahmen der Erfindung liegen. So können Abmessungen der beschriebenen Schichten, Strukturen, Leitungen
30 und Gebiete an die jeweiligen Erfordernisse angepaßt werden. Dasselbe gilt für die Wahl der Materialien und für die Dotierstoffkonzentrationen.

Patentansprüche

1. Anordnung mit Bildsensoren,

- bei der ein Bildsensor einen Speichertransistor und einen
5 Auswahltransistor aufweist, die in Reihe und zwischen einer
Bitleitung und einer Referenzleitung geschaltet sind,
- bei der eine Gateelektrode des Auswahltransistors mit einer
Wortleitung verbunden ist, die quer zur Bitleitung ver-
läuft,
- 10 - bei der der Bildsensor eine Diode aufweist, die zwischen
einer Gateelektrode des Speichertransistors und einem er-
sten Source/Drain-Gebiet des Speichertransistors, das mit
dem Auswahltransistor verbunden ist, so geschaltet ist, daß
sie zum ersten Source/Drain-Gebiet des Speichertransistors
15 hin in Sperrrichtung gepolt ist,
- bei der der Bildsensor eine Fotodiode aufweist, die zwi-
schen einem Spannungsanschluß und der Gateelektrode des
Speichertransistors so geschaltet ist, daß sie zum Span-
nungsanschluß hin in Sperrrichtung gepolt ist.

20

2. Anordnung mit Bildsensoren,

- bei der ein Bildsensor einen Speichertransistor und einen
Auswahltransistor aufweist, die in Reihe und zwischen einer
Bitleitung und einer Referenzleitung geschaltet sind,
- bei der eine Gateelektrode des Auswahltransistors mit einer
Wortleitung verbunden ist, die quer zur Bitleitung ver-
läuft,
- bei der ein Bildsensor eine Diode aufweist, die zwischen
einer Gateelektrode des Speichertransistors und einem er-
30 sten Source/Drain-Gebiet des Speichertransistors, das mit
dem Auswahltransistor verbunden ist, so geschaltet ist, daß
sie zum ersten Source/Drain-Gebiet des Speichertransistors
hin in Sperrrichtung gepolt ist,
- bei der ein Bildsensor eine Fotodiode aufweist, die zwi-
35 schen einem Spannungsanschluß und dem ersten Source/Drain-
Gebiet des Speichertransistors so geschaltet ist, daß sie
zum Spannungsanschluß hin in Sperrrichtung gepolt ist.

3. Anordnung nach Anspruch 1 oder 2,

- bei der die Fotodiode aus einem n-dotierten Gebiet und einem daran angrenzenden p-dotierten Gebiet, der mit dem Spannungsanschluß verbunden ist, besteht.

4. Anordnung nach Anspruch 3,

- bei dem das n-dotierte Gebiet der Fotodiode, das erste Source/Drain-Gebiet des Speichertransistors und/oder ein erstes Source/Drain-Gebiet des Auswahltransistors ein zusammenhängendes dotiertes Gebiet bilden.

5. Anordnung nach einem der Ansprüche 1 bis 4,

- bei der der Speichertransistor als vertikaler Transistor ausgestaltet ist,
- bei der das erste Source/Drain-Gebiet des Speichertransistors über einem zweiten Source/Drain-Gebiet des Speichertransistors, der mit der Referenzleitung verbunden ist, angeordnet ist,
- bei der die Referenzleitung im Substrat vergraben ist.

6. Anordnung nach einem der Ansprüche 1 bis 5,

- bei der die Diode als Tunnelodiode ausgestaltet ist und aus dem ersten Source/Drain-Gebiet des Speichertransistors, einer daran angrenzenden isolierenden Schicht und einer daran angrenzenden leitenden Struktur, die mit der Gateelektrode des Speichertransistors verbunden ist, besteht.

7. Anordnung nach Anspruch 6,

- bei der ein Substrat eine Vertiefung aufweist,
- bei der die Vertiefung bis in die Referenzleitung hineinreicht,
- bei der mindestens eine seitliche Fläche eines oberen Bereichs der Vertiefung mit der isolierenden Schicht versehen ist,

-
- bei der Flächen eines unter dem oberen Bereich liegenden unteren Bereichs der Vertiefung mit einem Gatedielektrikum versehen sind,
 - bei der im unteren Bereich die Gateelektrode des Speichertransistors angeordnet ist,
 - bei der im oberen Bereich der Vertiefung die leitende Struktur der Diode angeordnet ist,
 - bei der das erste Source/Drain-Gebiet des Speichertransistors im Substrat angeordnet ist und an die seitliche Fläche des oberen Bereichs angrenzt.

Zusammenfassung

Anordnung mit Bildsensoren

- 5 Ein Speichertransistor und ein Auswahltransistor eines Bildsensors sind in Reihe und zwischen einer Bitleitung (B5) und einer Referenzleitung (R5) geschaltet. Eine Gateelektrode des Auswahltransistors ist mit einer Wortleitung (W5), die quer zur Bitleitung (B5) verläuft, verbunden. Eine Diode des Bildsensors ist zwischen einer Gateelektrode (G5) des Speichertransistors und einem ersten Source-/Drain-Gebiet (S/D5) des Speichertransistors, das mit dem Auswahltransistor verbunden ist, so geschaltet, daß sie zum ersten Source-/Drain-Gebiet (S/D5) des Speichertransistors hin in Sperrichtung gepolt ist.
- 10
- 15 ist. Eine Fotodiode des Bildsensors ist zwischen einem Spannungsanschluß und entweder der Gateelektrode (G5) des Speichertransistors oder dem ersten Source-/Drain-Gebiet (S/D5) des Speichertransistors so geschaltet, daß sie zum Spannungsanschluß hin in Sperrichtung gepolt ist.

20

Figur 7b

Fig. 1

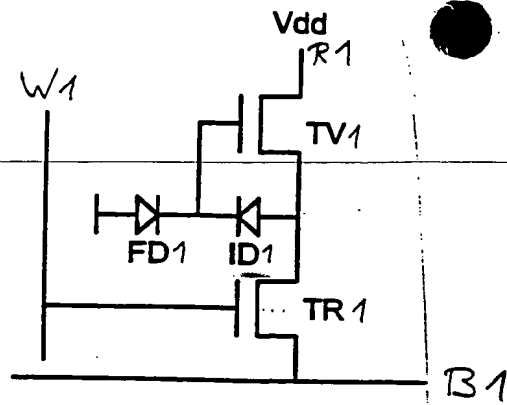


Fig. 2a

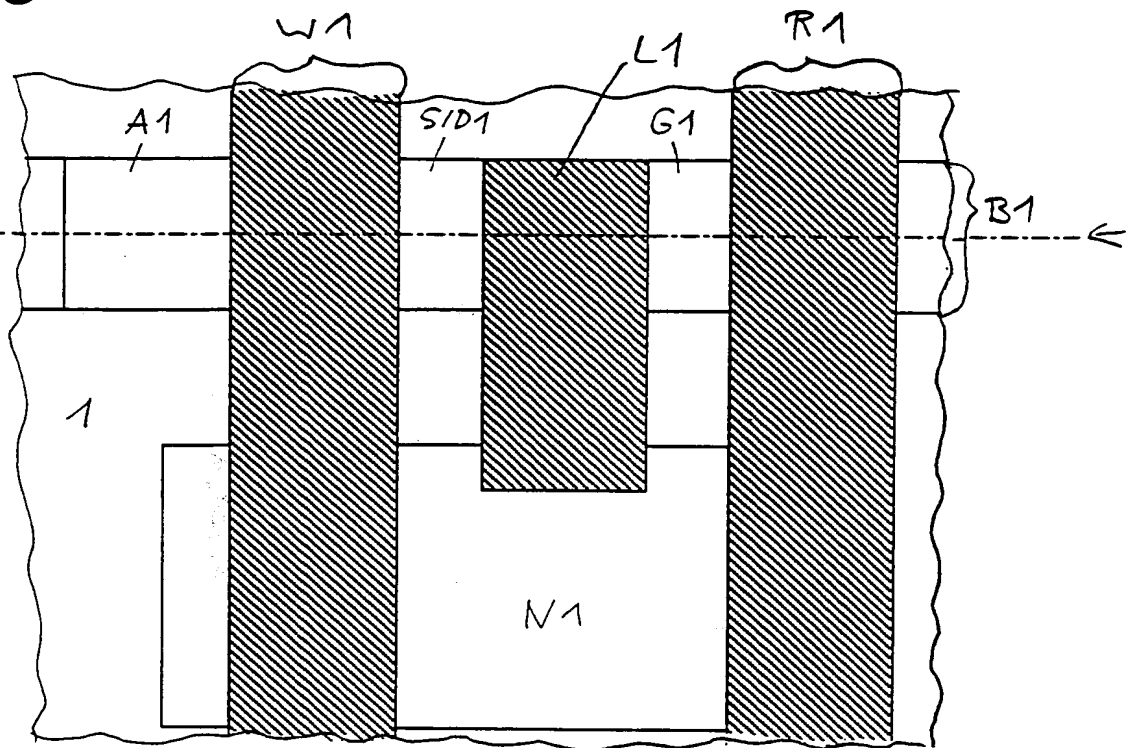


Fig. 2b

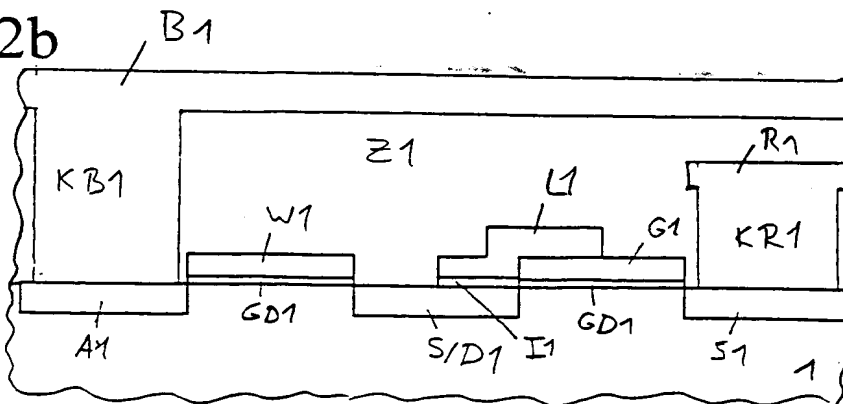


Fig. 3

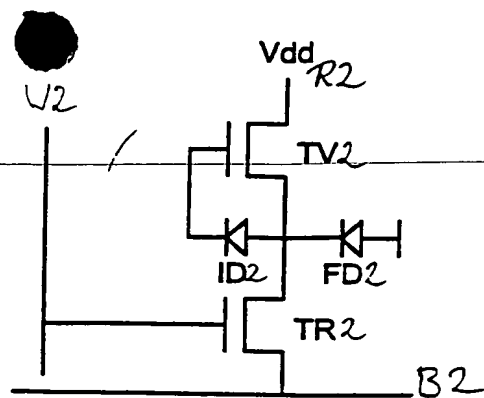


Fig. 4a

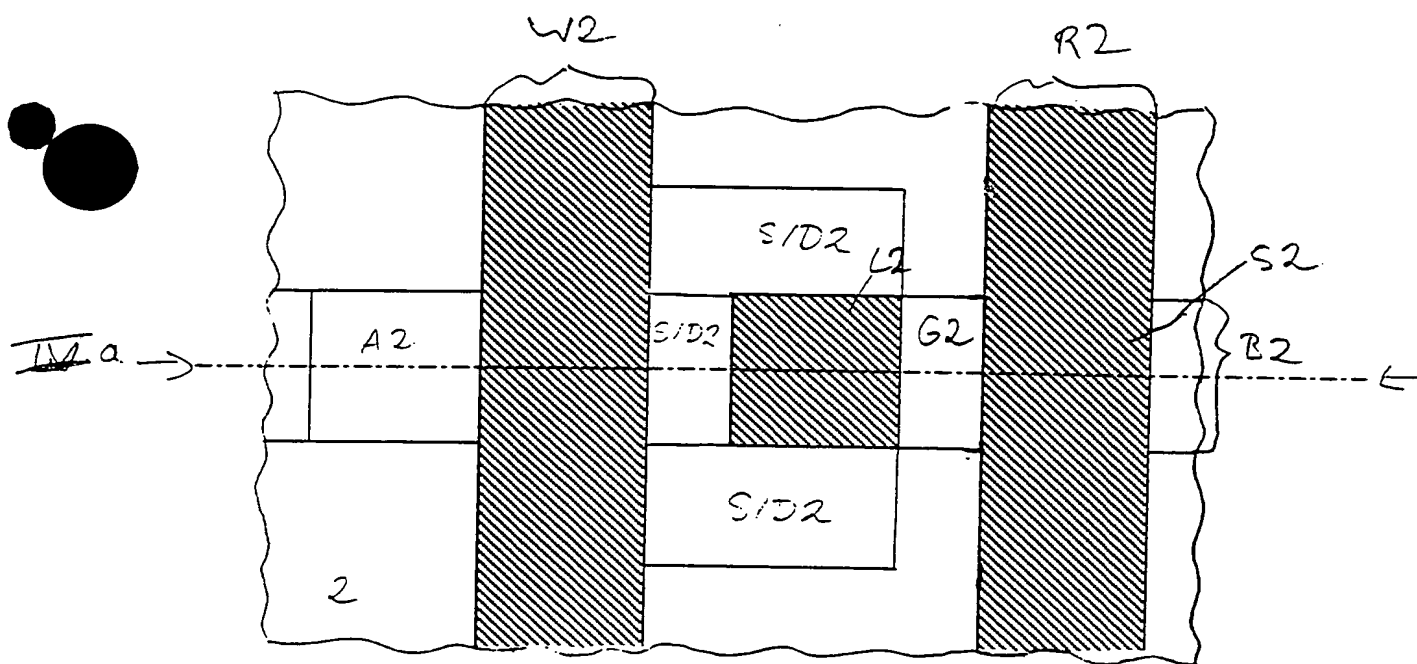


Fig. 4b

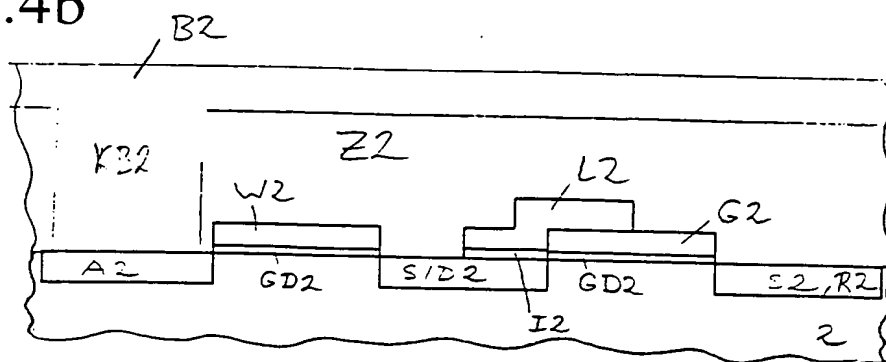


Fig.5a

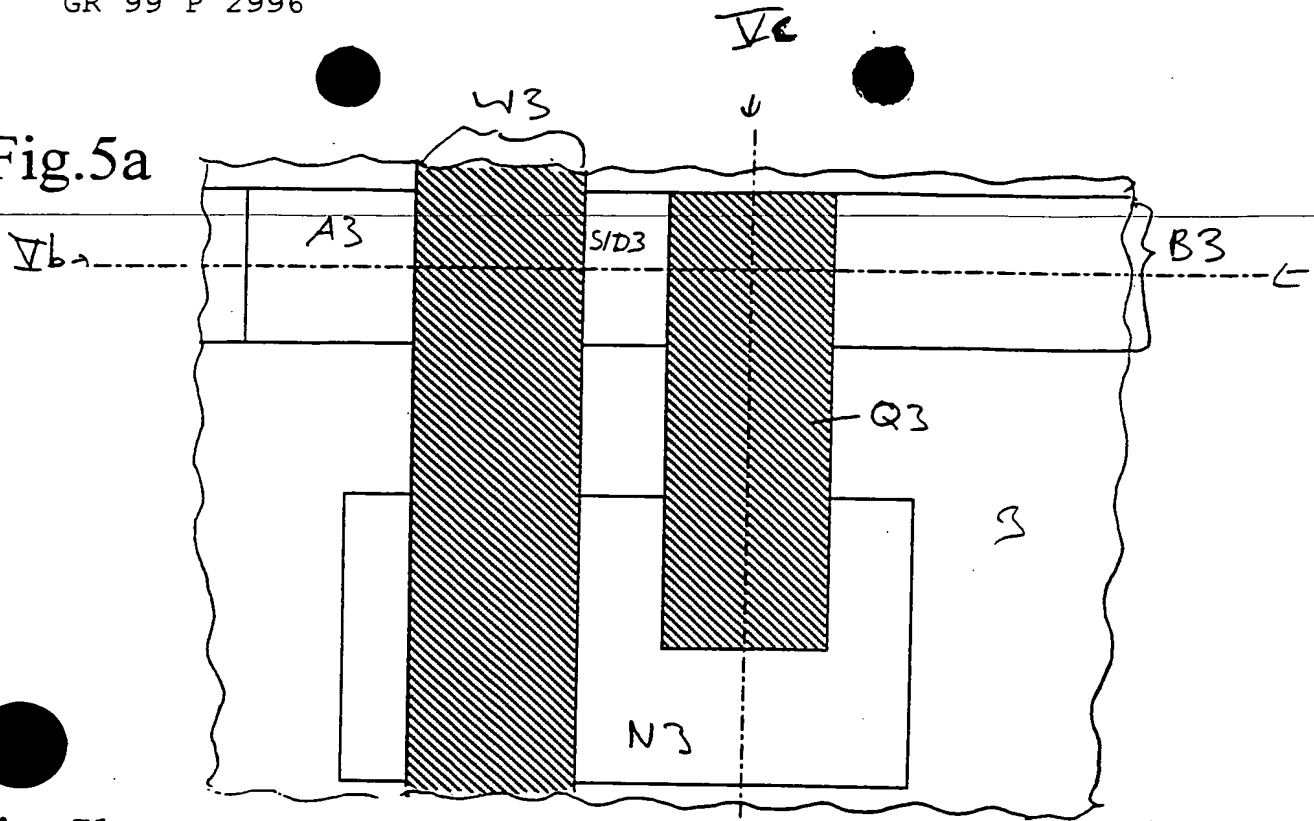


Fig.5b

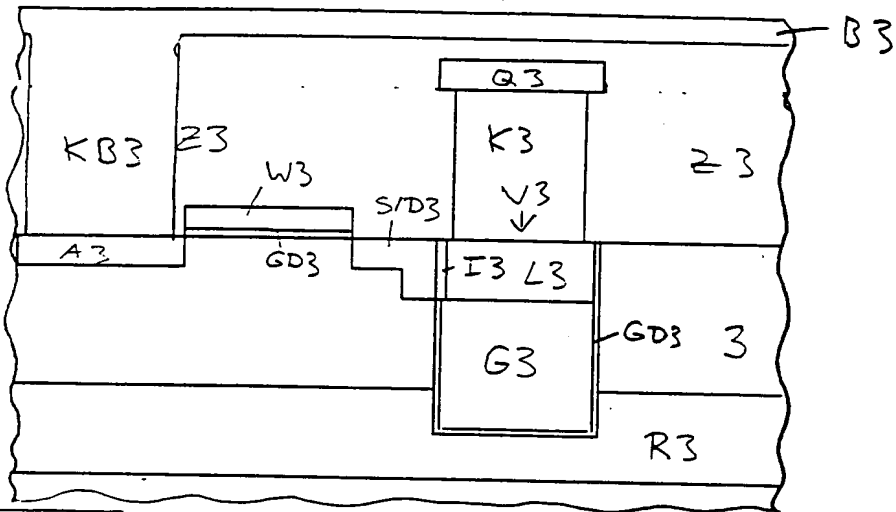


Fig.5c

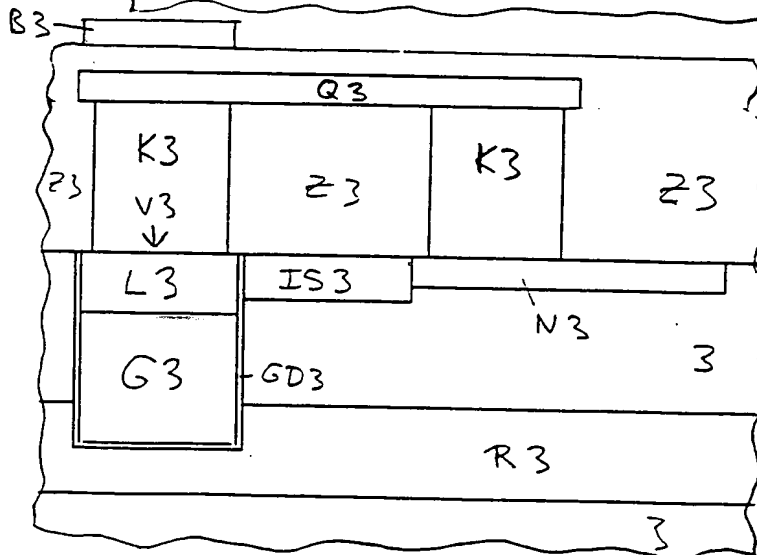


Fig.6a

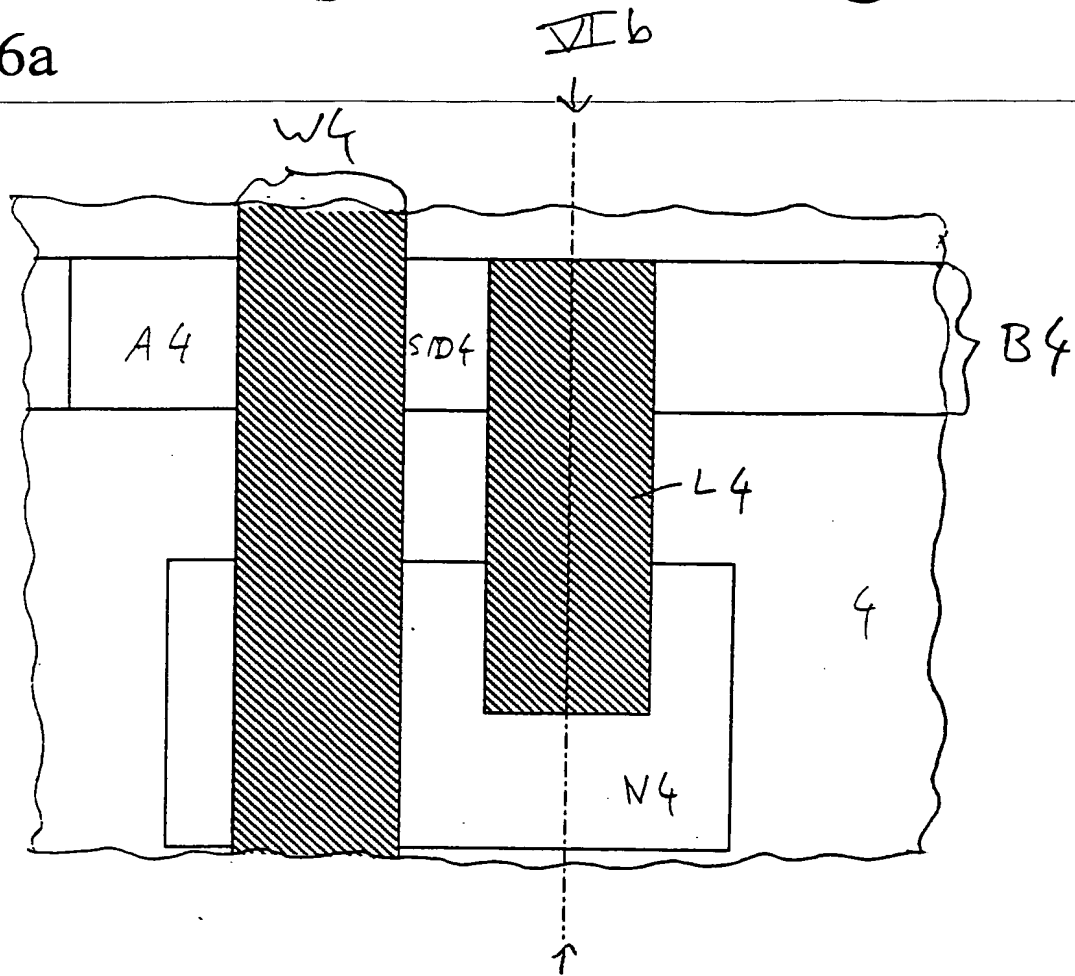


Fig.6b

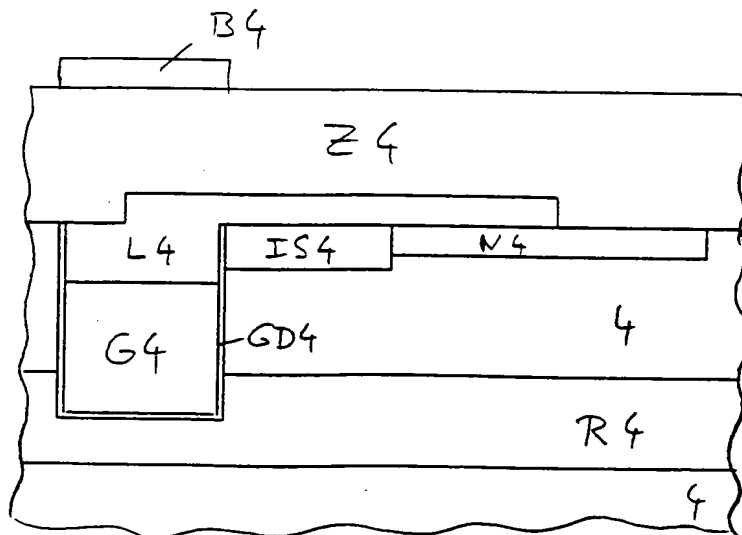


Fig.7a

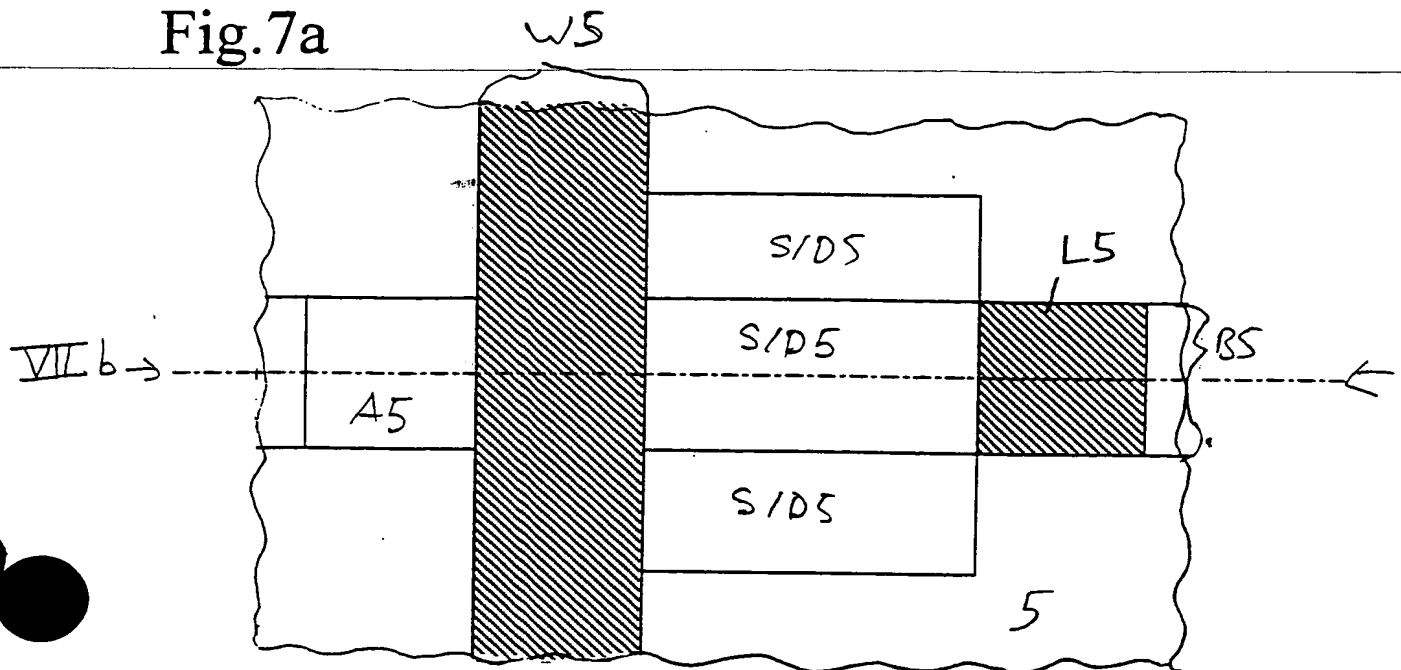


Fig.7b

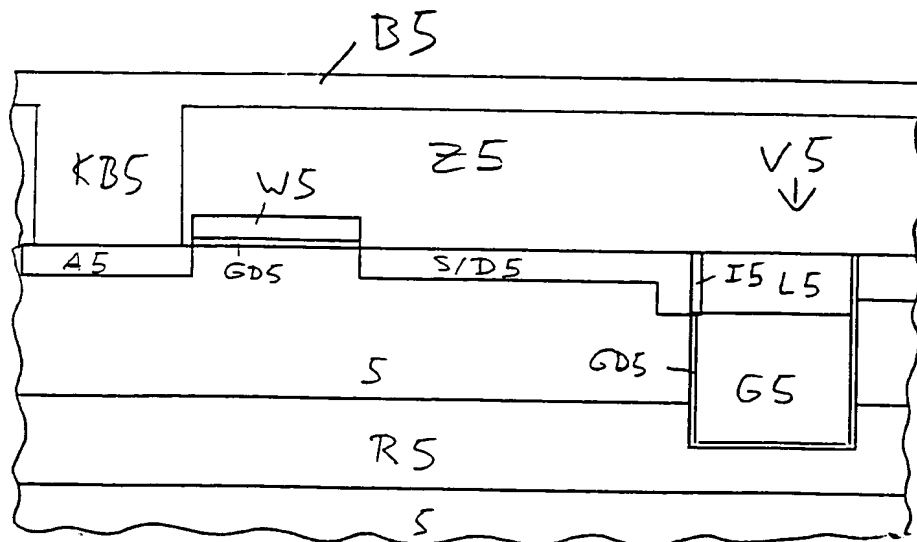
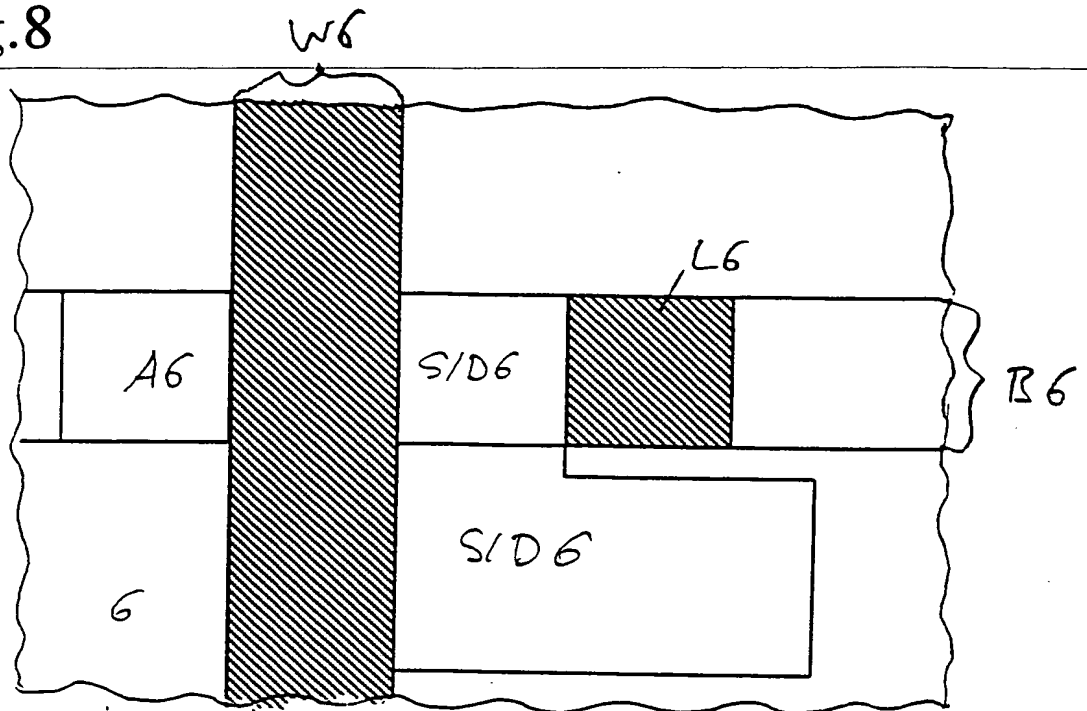


Fig.8



THIS PAGE BLANK (USPTO)